

DRY ETCHING METHOD OF MULTI-LAYER DIELECTRIC THIN FILM

Patent number: JP61106780
Publication date: 1986-05-24
Inventor: OKAZAKI AKIRA; others: 01
Applicant: DAINIPPON PRINTING CO LTD
Classification:
- **international:** C23F1/12; G02B5/20; G02B6/12
- **european:**
Application number: JP19840228003 19841031
Priority number(s):

Abstract of JP61106780

PURPOSE: To execute patterning of high accuracy by forming a resist pattern on a multi-layer dielectric thin film containing Ti and Si, and thereafter, dry- etching it by using a reactive gas of a specified composition consisting of CF4 and CHF3.

CONSTITUTION: In a method for dry-etching and patterning a multi-layer dielectric thin film formed by laminating in multi-layer a dielectric thin film of TiO₂, etc., containing Ti and a dielectric thin film of SiO₂, etc., containing Si, on a supporting body, by leading a reactive gas into a vacuum tank, and executing a plasma etching method, etc., a photoresist is formed on the multi-layer dielectric thin film, and thereafter, a resist pattern of a prescribed shape is formed by a photolithography method.

Subsequently, patterning of the multi-layer dielectric thin film is executed by executing the dry-etching in an atmosphere which has used a mixing gas in which a ratio of a CF4 gas and a CHF3 gas is 5:1-1:5, as a reactive gas.

Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭61-106780

⑬ Int.Cl.⁴

C 23 F 1/12
G 02 B 5/20
6/12

識別記号

101

府内整理番号

6793-4K
7529-2H
8507-2H

⑭ 公開 昭和61年(1986)5月24日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 多層誘電体薄膜のドライエッティング方法

⑯ 特願 昭59-228003

⑰ 出願 昭59(1984)10月31日

⑱ 発明者 岡崎 晓 埼玉県入間郡大井町亀久保1206-30

⑲ 発明者 松井 博之 埼玉県入間郡鶴ヶ島町脚折1428-60

⑳ 出願人 大日本印刷株式会社 東京都新宿区市谷加賀町1丁目12番地

㉑ 代理人 弁理士 中村 純之助

明細書

1. 発明の名称

多層誘電体薄膜のドライエッティング方法

2. 特許請求の範囲

1. 支持体上に、Tiを含む誘電体薄膜とSiを含む誘電体薄膜とを多層積層してなる多層誘電体薄膜を、プラズマエッティング法、スパッタエッティング法もしくはイオンビームエッティング法のドライエッティング法によってパターニングする方法において、上記多層誘電体薄膜上にホトレジストを形成した後、ホトリソグラフィ法によって所定形状のレジストパターンを形成し、ついで上記のドライエッティング法により、反応性ガスとしてCF₄ガスとCHF₃ガスとを5:1から1:5の割合で混合した混合ガスを用いた雰囲気中で、上記多層誘電体薄膜のパターニングを行なうことを持つ多層誘電体薄膜のドライエッティング方法。

2. 上記ドライエッティング法において、印加する電力密度が0.5から2.5W/cm²までの範囲である

ことを特徴とする特許請求の範囲第1項記載の多層誘電体薄膜のドライエッティング方法。

3. 発明の詳細な説明

〔発明の利用分野〕

本発明は多層誘電体薄膜のドライエッティング方法に関し、特に高屈折率誘電体物質であるTiO₂等と低屈折率誘電体物質であるSiO₂等とを多層積層してなる多層干渉薄膜フィルタおよび光ICならびに光導波路等のパターニング加工を行なうドライエッティング方法に関する。

〔発明の背景〕

従来、SiO₂, CaF₂, MgF₂, PbF₂, AlF₃・3NaF, ThF₄等よりなる低屈折率誘電体物質と、TiO₂, CeO₂, ZrO₂, ZnS等よりなる高屈折率誘電体物質とを、交互に多層積層してなる多層誘電体薄膜のドライエッティング法として、Arガスを用いるイオンミーリング法(イオンビームエッティング法)あるいはCF₄, C₂F₆ガス等を用いるプラズマエッティング法が主に採用されているが、量産加工性という点では、イオンミーリング法よりもプラズマエ

ッティング法の方が優れている。しかしながら、プラズマエッティング法は、反応ガスの種類、圧力、あるいは入力する高周波電力等の条件によって、エッティング特性が大きく異なり、エッティング加工した後のパターンの線巾、断面形状およびエッティング速度あるいは基板またはレジストに対する選択性などの問題の他に、エッティングされた物質の再付着とかエッティング残渣の付着といった問題がしばしば発生する。

〔発明の目的〕

本発明の目的は、TiおよびSi等を含む多層誘電体薄膜のバーニングを行なうに際して、適度のエッティング速度で、パターンの線幅が微細で、マスクの線幅に対するパターンの線幅の変化も極めて小さく、パターンの断面形状がほぼ垂直で、被エッティング物質の再付着またはエッティング残渣の付着もなく、エッティング損傷の極めて少ない、高精度なバーニングを行なうことができるドライエッティング方法を提供するにある。

〔発明の概要〕

支持体である基板上に、 TiO_2 と SiO_2 とを交互に多層積層した多層誘電体薄膜を、真空蒸着法、スパッタリング法、CVD法あるいは塗布法によって形成し、この上にホトレジストを塗布しホトリソグラフィ法によってレジストパターンを形成する。ここで使用するホトレジストはAZ 1350(シブレイ社)またはOFPR 800(東京応化社)のごとき、ノボラック樹脂系のものが耐ドライエッティング性および解像力といった点で好ましい。そして、所定パターンのマスクを介して露光、現像後、通常は100～160°C程度の温度にて加熱処理を行なうが、この加熱処理に先立って、強力な遠紫外光(波長範囲200～300nm、強度100～1000mW/cm²)を用いて、ホトレジスト層の硬化処理を行なう方がホトレジスト層の加熱によるエッジ部の変形防止およびホトレジスト層の耐ドライエッティング性を向上させるために望ましい。

その後、上記のレジストパターンをマスキング層として多層誘電体薄膜のドライエッティングを行なうわけであるが、ドライエッティング装置として

上記の目的を達成するために本発明は、プラズマエッティング法、スパッタエッティング法あるいはイオンビームエッティング法等のドライエッティング法によって、Tiを含む誘電体薄膜とSiを含む誘電体薄膜とを多層積層した多層誘電体薄膜をバーニングする場合に、反応ガスとして、 CF_4 ガスと CHF_3 ガスを5：1から1：5の割合で混合した混合ガスを、所定のドライエッティング装置の真空槽内に導入して、電力密度が0.5から2.5W/cm²の範囲で、ドライエッティングを行なって、高精度なバーニングを行なうことを特徴とするものである。

そして本発明は、上記の CF_4 ガスと CHF_3 ガスを5：1から1：5の割合で混合した混合ガスを、所定のドライエッティング装置の真空槽内に導入して、電力密度が0.5から2.5W/cm²の範囲で、ドライエッティングを行なって、高精度なバーニングを行なう方法である。

〔発明の具体的説明〕

次に、本発明による多層誘電体薄膜のドライエッティング法について、その代表的な一例を提示しながら詳細に説明する。

は、通常の平行平板電極型、カソード結合型の反応性イオンエッティング装置を用いるのが望ましい。そして、ドライエッティング装置に導入する反応性ガスとしては、 CF_4 ガスと CHF_3 ガスとを5：1～1：5の割合に混合した混合ガスを用いることが好ましい。 CF_4 ガスと CHF_3 ガスとの混合比が5：1を超えると、エッティング速度が遅くなり、下地あるいはレジストに対するエッティングの異方性ならびに選択性が低下して、エッティングパターンの断面形状が悪化し、高精度なバーニングを得ることができなくなり、その混合比が1：5未満となると、エッティング反応が緩慢となって、良好なエッティングパターンの形成が難しくなる。 CF_4 ガスと CHF_3 ガスとの混合比のさらに好ましい範囲は2：1～1：2である。そして、エッティング装置に導入する反応性ガスである CF_4 ガスと CHF_3 ガスとの混合ガスの総流量は、通常の場合50～200 SCCMであり、圧力(真空度)範囲は5～20Paに保って、13.56MHzの高周波電力を入力することによってドライエッティングを行なう。こ

の場合、電力密度が 0.5 W/cm^2 未満では、イオン衝撃力が弱くなり被エッチング物質の再付着あるいはエッティング残渣の付着といった問題が発生し易くなり、 2.5 W/cm^2 を超えると局部的なスパークの発生などによりレジストの耐性が悪化し、パターン形状が崩れ、高精度なパターニングができなくなるので、 $0.5 \sim 2.5 \text{ W/cm}^2$ の範囲が好ましく、さらに好ましい範囲は $0.8 \sim 1.5 \text{ W/cm}^2$ である。

以上に示したエッティング条件範囲でドライエッティングを行なうと、 $\text{TiO}_2/\text{SiO}_2$ 層の総膜厚 $1\mu\text{m}$ に対して約 $10 \sim 30$ 分という比較的速い速度でエッティングが終了する。エッティング後のパターン断面形状はほぼ垂直であり、パターンの線幅が微細で、レジストマスクの線幅に対するパターンの線幅の変化も非常に小さく、また被エッティング物質の再付着とかエッティング残渣の付着といった問題がなく、エッティング損傷の極めて少ない高精度なエッティングパターンを得ることができる。なお、本発明のドライエッティング方法によると、レジストのダメージも小さく、レジストの膜厚は $\text{TiO}_2/\text{SiO}_2$

層の総膜厚に対し $1 : 1$ にて十分である。

そして本発明は、特に Ti を含む誘電体薄膜と Si を含む誘電体薄膜とを多層積層する多層誘電体薄膜に高精度なパターニングを施すことができるドライエッティング加工方法であって、例えば多層干渉薄膜フィルタ、光IC、光導波路等におけるパターニング加工に最適な方法である。

[発明の実施例]

以下に、本発明の一実施例をあげ、さらに詳細に説明する。

(実施例 1)

支持体であるガラス基板上に、真空蒸着法によって TiO_2 と SiO_2 とを交互に 16 層積層し、シアン色の多層干渉薄膜を成膜（膜厚 $1.2\mu\text{m}$ ）した。次に、多層干渉薄膜上にポジタイプのホトレジスト OFPR-800（東京応化製）を塗布（膜厚 $2.5\mu\text{m}$ ）し、所定のパターン形状のマスクを用い露光、現像を行ないレジストパターンを形成した。そして、第 1 図に示す平行平板電極型の反応性イオンエッティング装置の真空槽 1 内のカソードである基板ホ

ルダ 2 に、上記の多層干渉薄膜上にレジストパターンを形成した基板 3 をセットし、反応性ガスとして CF_4 ガス、 50 SCCM および CHF_3 ガス、 50 SCCM を混合して導入し、真空中度を 10 Pa に保ち、高周波電源 5 を印加し、バイアス電圧 -700 V 、RF 電力 2 kW (13.56 MHz 、電力密度 1 W/cm^2) にて、上記基板上のレジストパターン部以外の領域を、20 分間ドライエッティングした結果、異方性ならびにレジストに対する選択性の良い高精度なエッティングパターンを形成することができた。

(実施例 2)

CVD 法により、Si ウエーハ上に、 TiO_2 層、 SiO_2 層、 TiO_2 層を順次積層して、光導波薄膜を形成した。各薄膜層の厚さは、バッファ層 $5\mu\text{m}$ 、コア層 $10\mu\text{m}$ 、クラッド層 $4\mu\text{m}$ であった。この Si 基板上に、さらに金属クロム層をスパッタリング法によって積層し、ホトリソグラフィ法を用いて金属クロム層を所定のパターン形状にエッティングし、レジストパターンを形成した。これを第 1 図に示す平行平板電極型の反応性イオンエッティング

装置を用いて、反応性ガス $\text{CF}_4 50 \text{ SCCM} + \text{CHF}_3 50 \text{ SCCM}$ 、圧力 10 Pa 、バイアス電圧 -700 V 、RF 電力 2 kW (電力密度 1 W/cm^2) にて、3 時間ドライエッティングを行なった結果、Si 基板上に垂直性の良い光導波路を形成することができ、パターン幅が $40\mu\text{m}$ の光導波路で、伝搬損失は 0.5 dB/cm ($\lambda = 0.633\mu\text{m}$) と低損失すぐれた性能の光導波路を得ることができた。

[発明の効果]

以上詳細に説明したことなく、本発明の多層誘電体薄膜のドライエッティング方法によれば、エッティング後のパターン断面形状はほぼ垂直であり、パターンの線幅が微細で、レジストマスクの線幅に対するパターンの線幅の変化も非常に小さく、また被エッティング物質の再付着とかエッティング残渣の付着が無く、レジストのダメージも小さく、エッティング損傷の極めて少ない高精度なエッティングパターンを短時間で形成させることができ、その実用的価値は大きい。

4. 図面の簡単な説明

第1図は本発明の実施例において用いた、平行平板電極型の反応性イオンエッティング装置の概略構造を示す図である。

- 1 … 真空槽
- 2 … 基板ホルダ（カソード）
- 3 … 支持体（基板）
- 4 … アノード
- 5 … 高周波電源
- 6 … マッチングボックス
- 7 … 反応性ガス
- 8 … 真空排気

代理人弁理士 中村純之助

第1図

